

(TRANSLATION)

Patent No.: TW 478172

Title: Method of Forming Undercut Structures for Polysilicon Thin Film Transistors

Abstract:

A method of forming an undercut structure for a polysilicon thin film transistor, including the steps of:

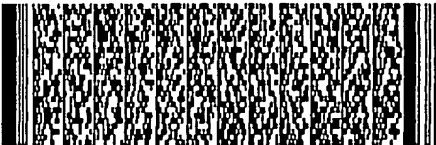
- (a) providing a substrate, including a polysilicon layer and a gate insulating layer on the surface of the substrate, in which the gate insulating layer covers a predetermined area of the polysilicon layer;
- (b) coating a first photo resist layer over the surface of the glass substrate and making the top surface of the first photo resist layer coplanar with the top surface of the gate insulating layer;
- (c) forming a gate layer and a second photo resist layer on the surface of the glass substrate, in which the second photo resist layer has been patterned for a gate;
- (d) removing a portion of the gate layer uncovered by the second photo resist layer so that the gate insulating layer and a portion of the first photo resist layer around the insulating layer are covered by the remaining gate layer; and
- (e) removing the second photo resist layer and the first photo resist layer.

# 公告本

90.12.27

申請日期：90.12.27	案號：90164352
類別：H01L 29/486	

(以上各欄由本局填註)

發明專利說明書		478172
一、 發明名稱	中文	多晶矽薄膜電晶體之底切結構的製作方法
	英文	
二、 發明人	姓名 (中文)	1. 陳坤宏
	姓名 (英文)	1.
	國籍	1. 中華民國
	住、居所	1. 台北縣淡水鎮新興里20鄰新春街81號8樓
三、 申請人	姓名 (名稱) (中文)	1. 友達光電股份有限公司
	姓名 (名稱) (英文)	1.
	國籍	1. 中華民國
	住、居所 (事務所)	1. 新竹科學工業園區新竹市力行二路一號
	代表人 姓名 (中文)	1. 李焜耀
	代表人 姓名 (英文)	1.
		

## 四、中文發明摘要 (發明之名稱：多晶矽薄膜電晶體之底切結構的製作方法)

一種多晶矽薄膜電晶體之底切結構的製作方法，包括下列步驟：(a)提供一基板，其表面上包含有一多晶矽層以及一閘極絕緣層，其中該閘極絕緣層係覆蓋住該多晶矽層之一預定區域；(b)於該玻璃基板表面上塗佈一第一光阻層，並使該第一光阻層之表面與該閘極絕緣層之表面切齊；(c)於該玻璃基板表面上形成一閘極層以及一具有閘極預定圖案之第二光阻層；(d)將未被該第二光阻層覆蓋之該閘極層去除，以使殘留之該閘極層覆蓋住該閘極絕緣層以及該閘極絕緣層周圍之部份該第一光阻層；以及(e)將該第二光阻層與該第一光阻層去除。

## 英文發明摘要 (發明之名稱：)



本案已向

國(地區)申請專利

申請日期

案號

主張優先權

無

有關微生物已寄存於

寄存日期

寄存號碼

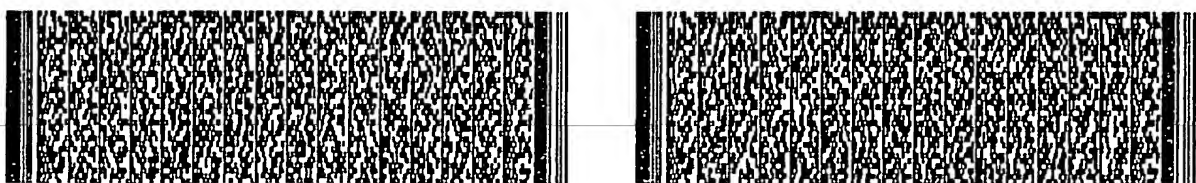
無

## 五、發明說明 (1)

本發明係有關於一種低溫多晶矽製程，特別有關於一種多晶矽TFT之底切結構的製作方法，可以準確控制閘極絕緣層的尺寸。

主動矩陣型液晶顯示器(active matrix liquid crystal display, AMLCD)中之薄膜電晶體(thin film transistor, 以下簡稱TFT)是用來作為畫素之開關元件，一般可區分成非晶矽TFT與多晶矽TFT兩種型式。由於多晶矽TFT的載子遷移率較高、驅動電路之積集度較佳、光露電流較小，故多晶矽TFT較常應用在高操作速度的電路中，且適用於大尺寸之LCD。但是，多晶矽TFT在關閉狀態下，靠近汲極接面處之橫向電場與垂直電場會產生遺漏電流(leakage current)的問題，進而導致LCD損失電荷。為了解決這個問題，習知技術發展出一種輕摻雜汲極(lightly doped drain, LDD)結構，用來降低汲極接面處的橫向電場，以減少遺漏電流。

請參閱第1圖，其顯示習知多晶矽TFT之LDD結構的剖面示意圖。在習知多晶矽TFT結構中，一透明絕緣基底10表面上設有一多晶矽層12，一閘極絕緣層14係覆蓋住多晶矽層12，以及一閘極層16係定義形成於閘極絕緣層14之表面上。其中，位於閘極層16周圍之多晶矽層12係形成一N<sup>-</sup>摻雜區域18，用來作為LDD結構，而環繞N<sup>-</sup>摻雜區域18之多晶矽層12係形成一N<sup>+</sup>摻雜區域17，用來作為一源/汲極區，至於被閘極層16覆蓋之多晶矽層12區域則是用來作為一通道。不過卻發現LDD結構會使源極與汲極的串聯電



## 五、發明說明 (2)

阻增加，導致多晶矽TFT之導通電流(on-current)降低，進而影響元件之操作速度。

另外，為了降低汲極接面處的垂直電場，則利用低溫多晶矽製程開發出一種多晶矽TFT結構，係於閘極層下方形成一底切(under cut)結構，以降低閘極絕緣層之介電常數。請參閱第2圖，其顯示習知多晶矽TFT之底切結構的剖面示意圖。在習知另一種多晶矽TFT結構中，一透明絕緣基底20表面上設有一多晶矽層22，一閘極絕緣層24係覆蓋住部份之多晶矽層22，以及一閘極層26係定義形成於閘極絕緣層24之表面上。其中，位於閘極層26周圍之多晶矽層22係形成一摻雜區域27，用來作為一源/汲極區，而被閘極層26覆蓋之多晶矽層22區域則是用來作為一通道。值得注意的是，閘極絕緣層24之面積小於閘極層26之面積，因此在閘極絕緣層24之邊緣處會形成一空穴(air cavity)28。由於空氣的介電常數值約為1，而氧化矽的介電常數值約為3.9，因此此種底切結構可以將多晶矽TFT之垂直電場大幅降低為1/4倍。

習知製作底切結構的方法，是先定義閘極層26之圖形，再利用閘極層26作為罩幕，以離子佈值方法形成摻雜區域27。接著採用濕蝕刻製程，將閘極絕緣層24之邊緣區域去除，以形成底切結構。但是藉由調整濕蝕刻製程之蝕刻溶液的濃度、蝕刻時間以及相關的控制條件，並無法精確地控制閘極絕緣層24的尺寸，也就無法確保空穴28的位置、對稱性與大小。



## 五、發明說明 (3)

有鑑於此，本發明則提出一種多晶矽TFT之底切結構的製作方法，不但可以準確地控制閘極絕緣層之尺寸，還可以同時製作LDD結構，以達到同時降低汲極接面處之垂直電場與橫向電場的目的。

## 圖式簡單說明

第1圖顯示習知多晶矽TFT之LDD結構的剖面示意圖。

第2圖顯示習知多晶矽TFT之底切結構的剖面示意圖。

第3A至3F圖顯示本發明第一實施例之多晶矽TFT之底切結構的製作方法。

第4A至4F圖顯示本發明第二實施例之多晶矽TFT之底切結構的製作方法。

## [符號說明]

- |                         |                           |
|-------------------------|---------------------------|
| 10~透明絕緣基底；              | 12~多晶矽層；                  |
| 14~閘極絕緣層；               | 16~閘極層；                   |
| 17~N <sup>+</sup> 摻雜區域； | 18~N <sup>-</sup> 摻雜區域；   |
| 20~透明絕緣基底；              | 22~多晶矽層；                  |
| 24~閘極絕緣層；               | 26~閘極層；                   |
| 27~摻雜區域；                | 28~空穴；                    |
| 30、50~玻璃基板；             | 32、52~多晶矽層；               |
| 34、54~閘極絕緣層；            | 36、56~第一光阻層；              |
| 38、58~閘極層；              | 40、60~第二光阻層；              |
| 42、62~空穴；               | 44、64~N <sup>+</sup> 摻雜區； |
| 46、66~保護層；              | 55~N <sup>-</sup> 摻雜區。    |

## [第一實施例]



## 五、發明說明 (4)

請參閱第3A至3F圖，其顯示本發明第一實施例之多晶矽TFT之底切結構的製作方法。首先，如第3A圖所示，於一玻璃基板30之預定區域上形成一多晶矽層32以及一由氧化矽所構成之閘極絕緣層34，然後利用微影蝕刻製程將閘極絕緣層34定義形成預定圖案，以使多晶矽層32之部份表面曝露出來。接著，如第3B圖所示，先於玻璃基板30表面上塗佈一第一光阻層36，以覆蓋住多晶矽層32與閘極絕緣層34，再進行一以氧氣作為主要蝕刻氣體之回蝕刻(etch back)製程，將第一光阻層36與閘極絕緣層34之表面切齊。

後續，如第3C圖所示，於玻璃基板30之平坦表面上沉積一閘極層38之後，於閘極層38上形成一具有閘極預定圖案之第二光阻層40，再利用第二光阻層40作為罩幕將部份閘極層38去除。如此一來，面積較大之閘極層38不僅覆蓋住面積較小之閘極絕緣層34，還會覆蓋住閘極絕緣層34周圍之部份第一光阻層36。其中，閘極層38可由多晶矽材質、非晶矽材質或一般導電金屬所構成。

如第3D圖所示，同時將第二光阻層40與第一光阻層36去除，則閘極層38之邊緣處會凸出於閘極絕緣層34，可使閘極層38邊緣處與多晶矽層32之間形成一空穴42，便製成本發明之底切結構。跟著，如第3E圖所示，進行一重度離子摻雜製程，以使閘極層38周圍之多晶矽層32形成一 $N^+$ 摻雜區44，可以用來作為一源/汲極區，而位於閘極層38下方之多晶矽層32則是用來作為一通道。此外，若閘極層38使用不導電材質，如：多晶矽或非晶矽，則可以同時藉



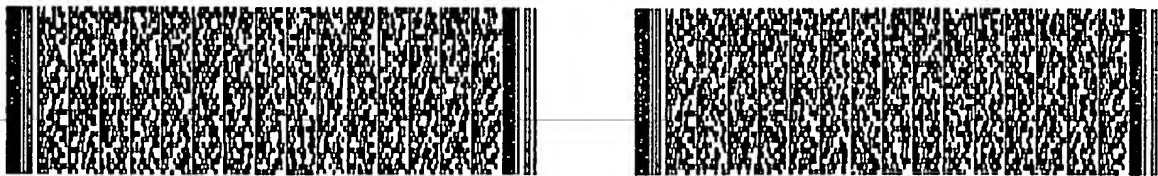
## 五、發明說明 (5)

由離子摻雜使閘極層38變成為導電材質。最後，如第3F圖所示，於玻璃基板30上沉積一保護層46之後，藉由閘極層38之遮蔽可避免保護層46填入空穴42中。因此，位於閘極層38下方之空穴42可以補償閘極絕緣層34的高介電常數，用來降低汲極接面處的垂直電場，以減少多晶矽TFT之遺漏電流。

相較於習知技術，本發明第一實施例之製作方法係先以微影蝕刻製程定義出閘極絕緣層34的尺寸，再搭配使用第一光阻層36與第二光阻層40來定義閘極絕緣層34與閘極層38之間的相對位置，則將第一光阻層36與第二光阻層40去除之後便可以形成尺寸相同、位置對稱之空穴42。因此，閘極絕緣層34之尺寸與位置均可以獲的最佳之控制，以改善多晶矽TFT之遺漏電流與可靠度等問題。

## [第二實施例]

本發明第二實施例係將LDD結構的製作方法結合至上述第一實施例的底切結構製作方法，以進一步降低汲極接面處的橫向電場與垂直電場，進而有效改善多晶矽TFT的遺漏電流問題。請參閱第4A至4F圖，其顯示本發明第二實施例之多晶矽TFT之底切結構的製作方法。首先，如第4A圖所示，於一玻璃基板50之預定區域上形成一多晶矽層52以及一由氧化矽所構成之閘極絕緣層54，再利用微影蝕刻製程將閘極絕緣層54定義形成預定圖案，以使多晶矽層52之部份表面曝露出來。然後，進行一輕度離子佈植製程，以於曝露之多晶矽層52上形成一 $N^-$ 摻雜區55。接著，如第



## 五、發明說明 (6)

4B圖所示，先於玻璃基板50表面上塗佈一第一光阻層56，以覆蓋住多晶矽層52與閘極絕緣層54，再進行一以氧氣作為主要蝕刻氣體之回蝕刻(etch back)製程，將第一光阻層56與閘極絕緣層54之表面切齊。後續，如第4C圖所示，於玻璃基板50之平坦表面上沉積一閘極層58之後，於閘極層58上形成一具有閘極預定圖案之第二光阻層60，再利用第二光阻層60作為罩幕將部份閘極層58去除。如此一來，面積較大之閘極層58不僅覆蓋住面積較小之閘極絕緣層54，還會覆蓋住閘極絕緣層54周圍之部份第一光阻層56。

其中，閘極層58可由多晶矽材質、非晶矽材質或一般導電金屬所構成。

如第4D圖所示，同時將第二光阻層60與第一光阻層56去除，則閘極層58之邊緣處會凸出於閘極絕緣層54，便可使閘極層58邊緣處與多晶矽層52之間形成一空穴62，而製成本發明之底切結構。跟著，如第4E圖所示，進行一重度離子摻雜製程，以使閘極層58周圍之 $N^-$ 摻雜區55成為一 $N^+$ 摻雜區64，可以用來作為一源/汲極區，而位於閘極層58邊緣處下方之 $N^-$ 摻雜區55是用來作為LDD結構，至於位於閘極層58下方之多晶矽層52則是用來作為一通道。同時，若閘極層58使用不導電材質，如：多晶矽或非晶矽，則可以同時藉由離子摻雜使閘極層58變成為導電材質。最後，如第4F圖所示，於玻璃基板50上沉積一保護層66之後，藉由閘極層58之遮蔽可避免保護層66填入空穴62中。

因此， $N^-$ 摻雜區55所構成的LDD結構，可以用來降低



## 五、發明說明 (7)

汲極接面處的橫向電場，而位於閘極層58下方之空穴62可以補償閘極絕緣層54的高介電常數，用來降低汲極接面處的垂直電場，進而有效改善多晶矽TFT之遺漏電流的問題。

雖然本發明已以一較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



## 六、申請專利範圍

1. 一種多晶矽薄膜電晶體之底切結構的製作方法，包括下列步驟：

(a) 提供一基板，其表面上包含有一多晶矽層以及一閘極絕緣層，其中該閘極絕緣層係覆蓋住該多晶矽層之一預定區域；

(b) 於該基板表面上塗佈一第一光阻層，並使該第一光阻層之表面與該閘極絕緣層之表面切齊；

(c) 於該第一光阻層與該閘極絕緣層之表面上形成一閘極層以及一具有閘極預定圖案之第二光阻層；

(d) 將未被該第二光阻層覆蓋之該閘極層去除，以使殘留之該閘極層覆蓋住該閘極絕緣層以及該閘極絕緣層周圍之部份該第一光阻層；以及

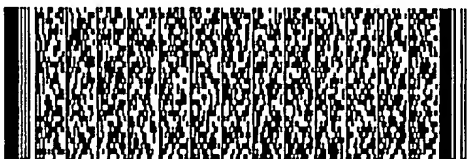
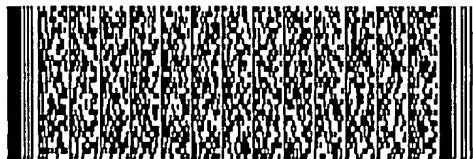
(e) 將該第二光阻層與該第一光阻層去除。

2. 如申請專利範圍第1項所述之製作方法，其中該步驟(b)係利用一回蝕刻製程將該第一光阻層之表面與該閘極絕緣層之表面切齊。

3. 如申請專利範圍第2項所述之製作方法，其中該回蝕刻製程係使用氧氣作為主要蝕刻氣體。

4. 如申請專利範圍第1項所述之製作方法，其中該步驟(e)係使該閘極層之邊緣處凸出於該閘極絕緣層，以形成一空穴。

5. 如申請專利範圍第1項所述之製作方法，另包含有步驟(f)：進行一重度離子摻雜製程，使位於該閘極層周圍之該多晶矽層形成一 $N^+$ 摻雜區。



## 六、申請專利範圍

6. 如申請專利範圍第1項所述之製作方法，其中該基板係為一玻璃基板。

7. 一種多晶矽薄膜電晶體之底切結構的製作方法，包括下列步驟：

(a) 提供一基板，其表面上包含有一多晶矽層以及一閘極絕緣層，其中該閘極絕緣層係覆蓋住該多晶矽層之一預定區域；

(b) 進行一輕度離子摻雜製程，使該多晶矽層之曝露區域形成一 $N^-$ 摻雜區；

(c) 於該基板表面上塗佈一第一光阻層，並使該第一光阻層之表面與該閘極絕緣層之表面切齊；

(d) 於該第一光阻層與該閘極絕緣層之表面上形成一閘極層以及一具有閘極預定圖案之第二光阻層；

(e) 將未被該第二光阻層覆蓋之該閘極層去除，以使

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**